

## Magistrala ISA

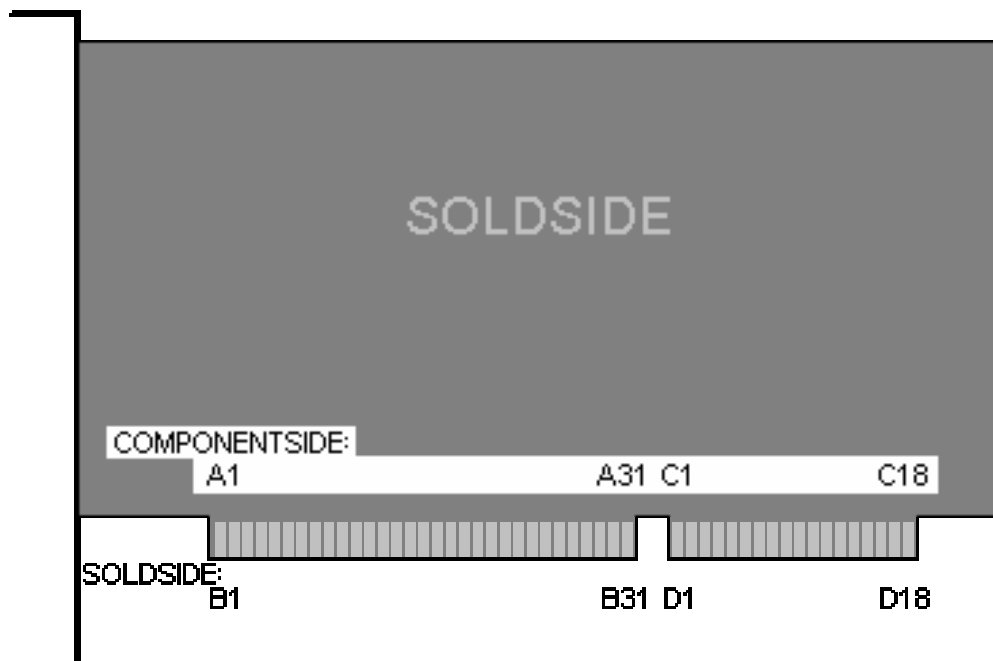
Jest to 16 bitowa magistrala, taktowana częstotliwością 8MHz, której maksymalna realna przepustowość wynosi ok. 4-5 MB/s. Złącze tej magistrali składa się z dwóch sekcji 62 i 36 stykowej. Doprowadzone jest 16 linii danych (po 8 na każdą z sekcji), cztery napięcia zasilania, w sumie występuje 27 linii adresowych (20 w sekcji podstawowej i 7 sekcji 36 stykowej), linia reset, linie przerwań, linie związane z komunikacją w kanałach DMA, dwa sygnały oscylatora, oraz inne linie sterujące.

Występują dwa rodzaje kart tzw. Długie czyli posiadającą także sekcje 36 stykową. Karty te operują na słowie 16 bitowym, mają dostęp do większej ilości przerwań oraz kanałów DMA. Drugi rodzaj kart to karty krótkie czyli mające tylko sekcję 62 stykową. Urządzenie na tych kartach operują na słowie 8 bitowym.

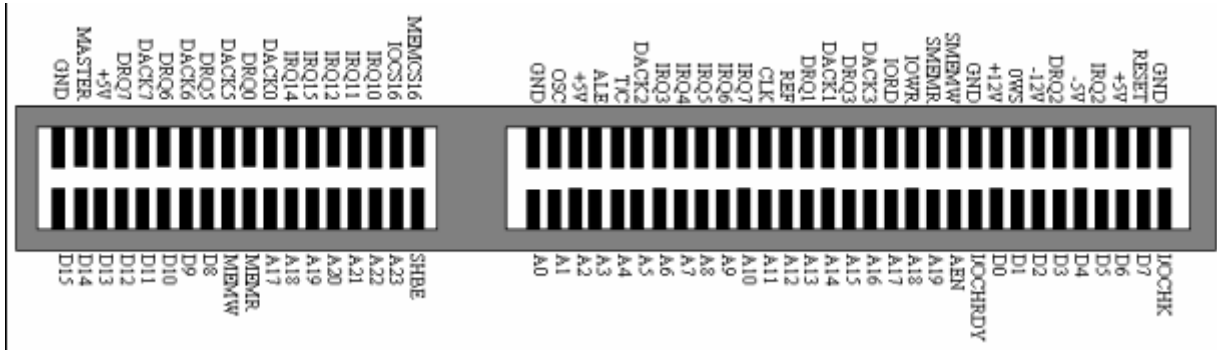
## Magistrala EISA

Magistral EISA jest 32 bitowym rozwinięciem magistrali ISA. Magistral EISA jest w pełni zgodna z swą poprzedniczką czyli ISA. Oznacza to że wszystkie karty ISA mogą pracować w złączach EISA. Nową możliwością tej magistrali jest możliwość operacji na słowie 32 bitowym. Karty EISA posiadają 188 styki (98 magistrali ISA i 90 nowych).

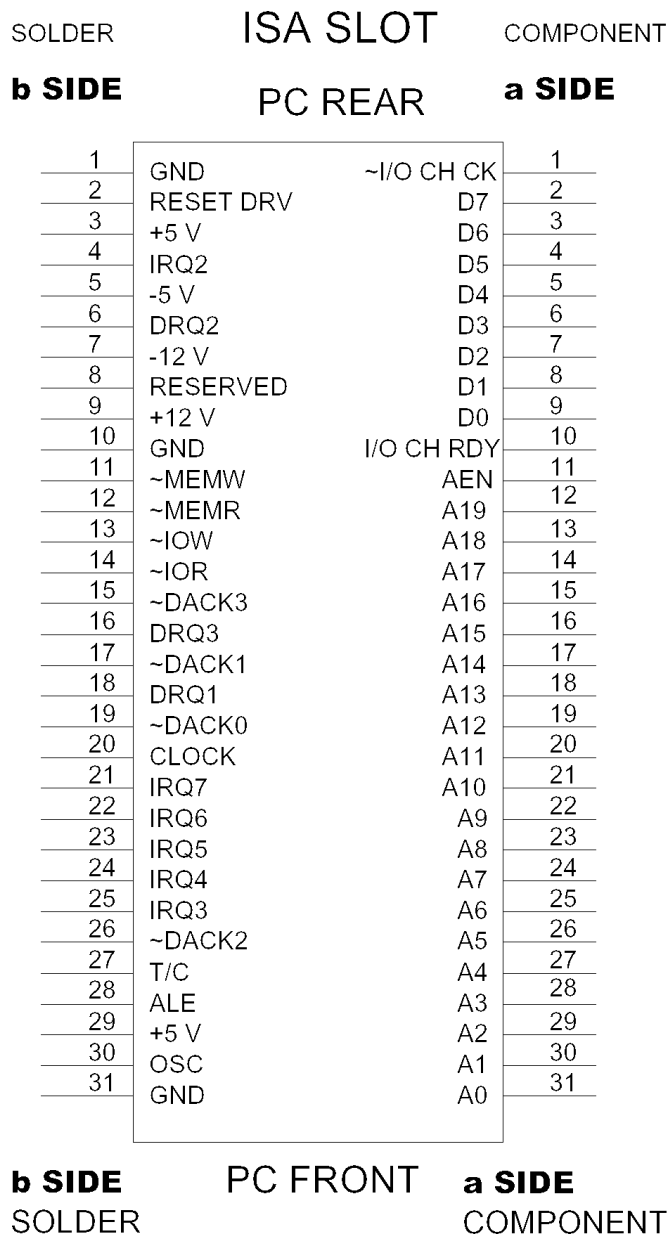
Przepustowość magistrali EISA wynosi ok. 33 MB/s. Są one ułożone w bardzo specyficzny sposób. Ze względu na skomplikowany i drogi kontroler magistrali system ten nie przyjął się w komputerach do domowego i biurowego użytku.



Rys. 1. Widok karty ze złączem ISA



Rys. 2. Złącze karty dla standardu ISA



Rys. 3. Schemat ideowy złącza standardu ISA

Poniżej został przedstawiony pełny opis oraz rozkład linii w 16-bitowym gnieździe ISA (Industry Standard Architecture):

- **A0...A19** (Address) - 20-bitowa magistrala adresowa komputera. Podczas odwołań do układów wejścia-wyjścia kontroler płyty zezwala na zaadresowanie 1024 8-bitowych portów, co w praktyce oznacza wykorzystanie jedynie linii A0...A11, pomimo że procesory x86 potrafią zaadresować 65536 portów. Tak więc przestrzeń adresowa I/O mieści się w granicach 0...1023 (000h...3FFh).
- **A17...A23** (Address) - siedem bardziej znaczących linii adresowych procesora. Linie A17...A19 pokrywają się z liniami z części 8-bitowej złącza, z tą różnicą, że adres wystawiany jest na nich wcześniej.
- **DO...D7** (Data) - dwukierunkowa 8-bitowa magistrala danych.
- **D8...D15** (Data) - bardziej znaczący (MSB) bajt 16-bitowej magistrali danych.
- **AEN** - logiczna "1" oznacza przejęcie kontroli nad magistralą przez kontroler DMA. Sygnał ten jest często stosowany w kartach prototypowych, jako linia blokowania dekodera adresu, kiedy magistralą steruje kontroler DMA.
- **IORD** (Input Output Read) - sygnał wystawiany przez procesor lub kontroler DMA w momencie żądania dostępu do przestrzeni adresowej wejścia-wyjścia w celu odczytu (aktywne "0").
- **IOWR** (Input Output Write) - sygnał wystawiany przez procesor lub kontroler DMA w momencie żądania dostępu do przestrzeni adresowej wejścia-wyjścia w celu zapisu (aktywne "0").
- **IOCHRDY** (Input Output Chanel Ready) - sygnał generowany przez powolne karty rozszerzające, mający za zadanie wymuszenie oczekiwania przez procesor lub kontroler DMA w celu poprawnej ich obsługi. Wymuszenie oczekiwania odbywa się przez podanie na tę linię logicznego "0". Logiczna "1" oznacza natomiast gotowość karty do obsługi.
- **RESET** - sygnał generowany w momencie wyzerowania komputera (poprzez wciśnięcie klawisza Reset lub po włączeniu zasilania) przez kontroler magistrali (aktywna "1").
- **IRQ2...IRQ7** (Interupt Request) - linie zgłoszeń przerw sprzętowych.
- **IRQ10...12, IRQ14, IRQ15** (Interupt Request) - dodatkowe (w architekturze AT) linie zgłoszeń przerw sprzętowych. Linia IRQ13 nie została wyprowadzona, bowiem wykorzystywana jest przez koprocessor arytmetyczny.
- **CLK** (Clock) - sygnał zegarowy zsynchronizowany z zegarem procesora. Sygnał ten może być wykorzystywany przez karty rozszerzające w celu synchronizacji ich pracy z zegarem procesora.
- **+5V, -5V, +12V, -12V** - linie zasilania, z których może korzystać karta prototypowa.
- **GND** (Ground) - masa zasilania wyprowadzona na czterech pinach 16-bitowego złącza ISA.
- **DRQ1...DRQ3** (DMA Request) - linie zgłoszeń żądania przydziału kanału DMA.
- **DRQ0, DACK0(REF)** (Refresh) - dodatkowy wolny kanał 0 DMA, będący pozostałością po architekturze XT, wykorzystywany w celu odświeżania pamięci dynamicznej.
- **DACK1...DACK3** (DMA Acknowledge) - linie potwierdzeń przyjęcia żądania obsługi kanału DMA.
- **DRQ5...DRQ7, DACK5...DACK7** - dodatkowe wolne kanały DMA udostępnione przez drugi kontroler implementowany w architekturze AT.
- **OSC** - linia zegara systemowego o częstotliwości 14,318 MHz.
- **SMEMR, SMEMW** - sygnały żądania przez procesor lub kontroler DMA dostępu do pamięci komputera w celu odpowiednio: odczytu i zapisu (aktywne "0").
- **ALE** (Address Latch Enable) - sygnał informujący o ustabilizowaniu się adresu na magistrali komputera.

- **IOCHK** (Input Output Channel Check) - podanie przez kartę rozszerzającą logicznego zera na tę linię powoduje zgłoszenie awarii tej karty i wygenerowanie przerwania INT2, co w konsekwencji powoduje taki efekt, jak w przypadku błędu parzystości oraz następuje zatrzymanie systemu.
- **T/C** (Terminal Count) - sygnał generowany przez kontroler DMA, informujący o zakończeniu cyklu dostępu przez kontroler.
- **OWS** (0 Wait States) - dodatkowy sygnał występujący w komputerach AT lub wyższych, pozwalający na zgłoszenie przez kartę rozszerzającą faktu obsługi jej przez procesor bez dodatkowych cykli opóźniających.
- **IOCS16** (Input Output Chip Select 16) - sygnał generowany przez 16-bitową kartę rozszerzającą, informujący procesor o jej obsłudze w trybie 16-bitowym. Aktywnym poziomem jest logiczne "0", które powinno być generowane przez taką kartę w jej własnym dekodерze adresowym.
- **SHBE** - sygnał wystawiany przez procesor lub inny układ, przejmujący sterowanie nad magistralami podczas przekazywania danych w formacie 16-bitowym.
- **MEMCS16** (Memory Chip Select 16) - sygnał generowany przez karty rozszerzające, które gwarantują dostęp do przestrzeni adresowej pamięci w trybie 16-bitowym. Sterowanie podobne jak w przypadku sygnału IOCS16.
- **MASTER** - sygnał umożliwiający przejęcie sterowania nad systemem przez dodatkowy procesor znajdujący się na karcie rozszerzającej.
- **MEMR** (Memory Read) - sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA żądania dostępu do przestrzeni adresowej pamięci w celu odczytu.
- **MEMW** (Memory Write) - sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA zadania dostępu do przestrzeni adresowej pamięci w celu zapisu.

## Szczegółowy opis sygnałów na magistrali ISA

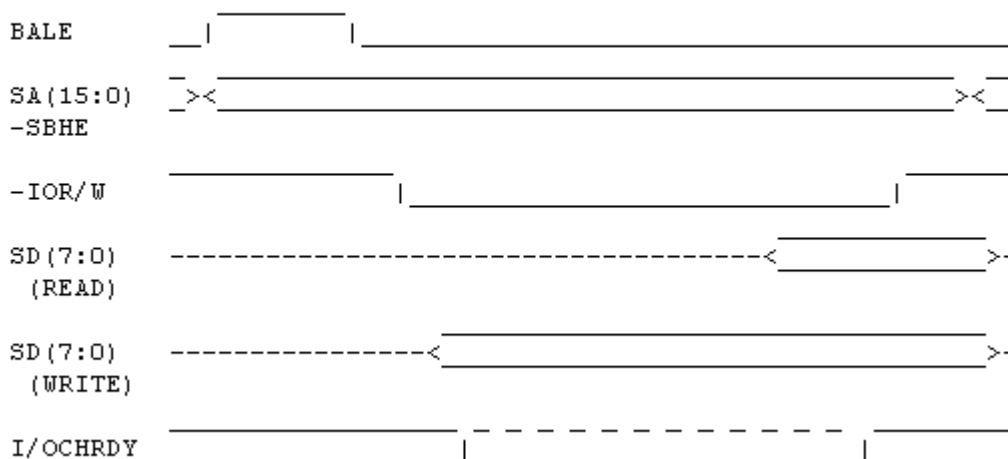
Opis	Sygnal	Pin	Pin	Sygnal	Opis
	GND	B1	A1	-I/O CHK	
	RESET	B2	A2	D7	linia danych
napięcie zasilające	+5V	B3	A3	D6	linia danych
linia przerwania	IRQ2	B4	A4	D5	linia danych
napięcie zasilające	-5V	B5	A5	D4	linia danych
obsługa DMA	DRQ2	B6	A6	D3	linia danych
napięcie zasilające	-12V	B7	A7	D2	linia danych
(0 Wait States) wystawiając na tej linii poziom zera logicznego karta rozszerzenia daje sygnał, że jest dostatecznie szybka, by być obsługiwana bez dodatkowych cykli oczekiwania.	-OWS	B8	A8	D1	linia danych
napięcie zasilające	+12V	B9	A9	D0	linia danych
	GND	B10	A10	I/O CHRDY	
	-SMEMW	B11	A11	AEN	
	-SMEMR	B12	A12	A19	linia adresowa
	-IOW	B13	A13	A18	linia adresowa
	-IOR	B14	A14	A17	linia adresowa
	-DACK3	B15	A15	A16	linia adresowa
obsługa DMA	DRQ3	B16	A16	A15	linia adresowa
	-DACK1	B17	A17	A14	linia adresowa
obsługa DMA	DRQ1	B18	A18	A13	linia adresowa
(refresh) sygnał ten informuje, że w	-REF	B19	A19	A12	linia adresowa

danym momencie odbywa się cykl odświeżania pamięci dynamicznej na płycie głównej. Jego źródłem jest jeden z generatorów lub specjalizowane układy obsługujące samą pamięć.					
	CLK	B20	A20	A11	linia adresowa
linia przerwania	IRQ7	B21	A21	A10	linia adresowa
linia przerwania	IRQ6	B22	A22	A9	linia adresowa
linia przerwania	IRQ5	B23	A23	A8	linia adresowa
linia przerwania	IRQ4	B24	A24	A7	linia adresowa
linia przerwania	IRQ3	B25	A25	A6	linia adresowa
	-DACK2	B26	A26	A5	linia adresowa
	T/C	B27	A27	A4	linia adresowa
	ALE	B28	A28	A3	linia adresowa
napięcie zasilające	+5V	B29	A29	A2	linia adresowa
	OSC	B30	A30	A1	linia adresowa
	GND	B31	A31	A0	linia adresowa
sygnał ten generowany jest przez karty rozszerzające, które gwarantują dostęp do pamięci w trybie 16-bitowym. Karta 16 bitowa, która nie odpowie w odpowiednim momencie wystawieniem niskiego poziomu logicznego na linii, będzie obsługiwana tak jak karta 8-bitowa. Jeżeli Karta 8-bitowa zostanie umieszczona w złączu 16-bitowym, to sygnał MEM CS 16 będzie nieaktywny (na niepodłączonej linii ustala się wysoki poziom logiczny)	-MEM CS 16	D1	C1	SBHE	(System Bus High Enable) sygnał ten jest ustawiany przez procesor lub inny układ przejmujący kontrolę nad magistralami.
sygnał ten jest generowany przez karty rozszerzające, które gwarantują dostęp do przestrzeni wejścia-wyjścia w trybie 16-bitowym.	I/O CS16	D2	C2	LA23	linia adresowa
linia przerwania	IRQ 10	D3	C3	LA22	linia adresowa
linia przerwania	IRQ 11	D4	C4	LA21	linia adresowa
linia przerwania	IRQ 12	D5	C5	LA20	linia adresowa
linia przerwania	IRQ 15	D6	C6	LA19	linia adresowa
linia przerwania	IRQ 14	D7	C7	LA18	linia adresowa
	-DACK0	D8	C8	LA17	linia adresowa
obsługa DMA	DRQ0	D9	C9	-MEMR	(Memory Read) stan aktywny tej linii (niski poziom logiczny oznacza żądanie odczytu przez procesor lub kontroler DMA danych z pamięci w zakresie 0-16 MB. Sygnał SMEMR w 8-bitowej części złącza generowany jest wyłącznie przy odczytach w przestrzeni adresowej 0-1 MB, za przy próbie dostępu do pamięci powyżej 1 MB pozostaje nieaktywny (wysoki poziom logiczny).
	-DACK5	D10	C10	-MEMW	(Memory Write) stan aktywny tej linii (niski poziom logiczny) oznacza żądanie odczytu przez procesor lub kontroler DMA danych

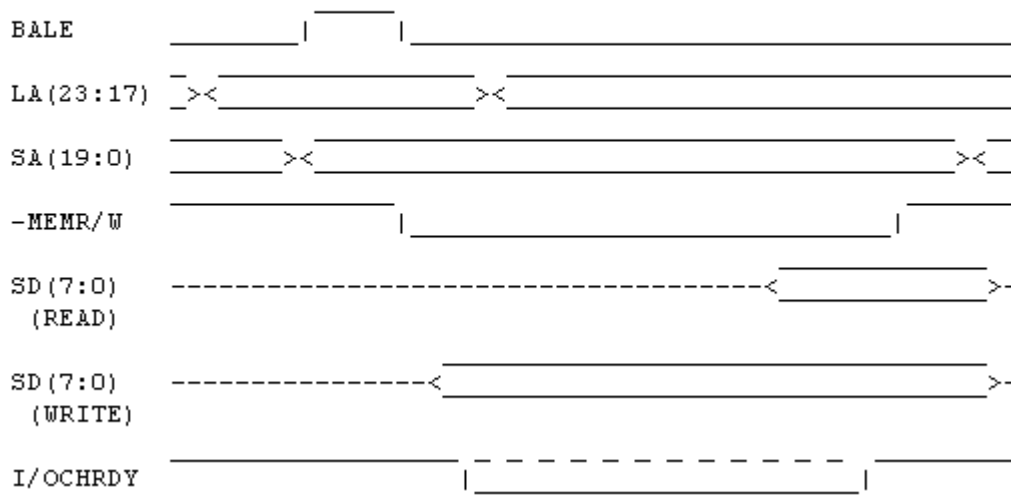
					z pamięci w zakresie 0-16 MB. Sygnał SMEMW w 8-bitowej części złącza generowany jest wyłącznie przy odczytach w przestrzeni adresowej 0-1 MB, zaś przy próbie dostępu do pamięci powyżej 1 MB pozostaje nieaktywny (wysoki poziom logiczny)
obsługa DMA	DRQ5	D11	C11	SD08	linia danych szyny 16-bitowej
	-DACK6	D12	C12	SD09	linia danych szyny 16-bitowej
obsługa DMA	DRQ6	D13	C13	SD10	linia danych szyny 16-bitowej
	-DACK7	D14	C14	SD11	linia danych szyny 16-bitowej
obsługa DMA	DRQ7	D15	C15	SD12	linia danych szyny 16-bitowej
napięcie zasilające	Vcc +5V	D16	C16	SD13	linia danych szyny 16-bitowej
sygnał umożliwiający przejęcie sterowania systemem przez procesor znajdujący się na karcie rozszerzenia. Układowi jest przyporządkowany jeden z kanałów DMA. Kontroler DMA przeprowadza rutynowo proces odłączania procesora zainstalowanego na płycie głównej (sekwencje sygnałów HRQ i HLDA) przed wysłaniem sygnału DACK do procesora, który reaguje uaktywnieniem linii MASTER (tj. sprowadzeniem jej do poziomu zera logicznego) i przejmuje sterowanie systemem.	-MASTER	D17	C17	SD14	linia danych szyny 16-bitowej
	GND	D18	C18	SD15	linia danych szyny 16-bitowej

Poniżej przedstawiono przebiegi czasowe na magistrali ISA:

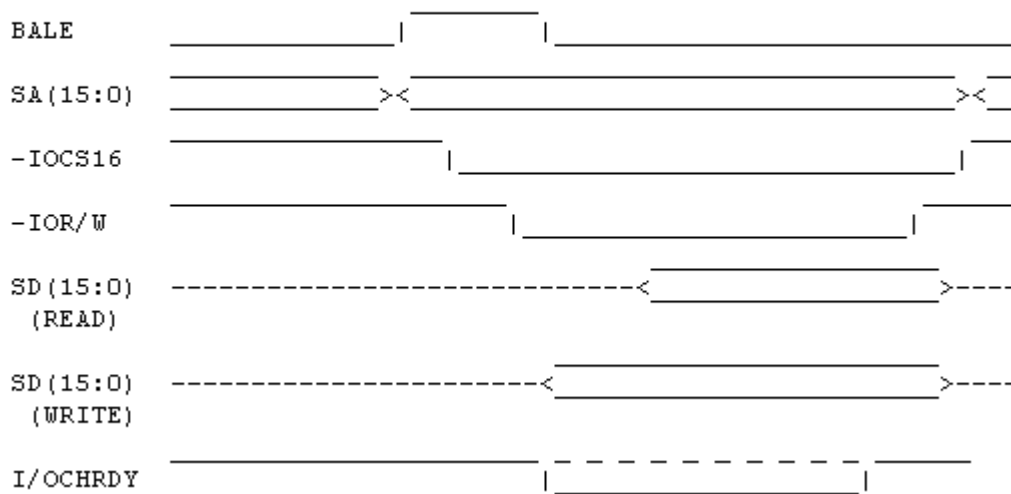
### 8-Bit I/O Bus Cycles



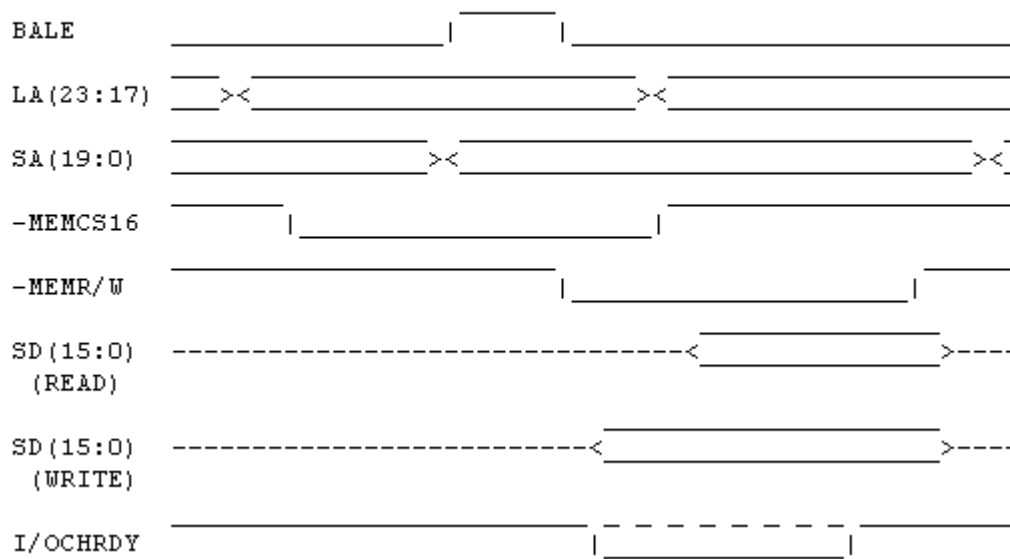
## 8-Bit Memory Bus Cycles



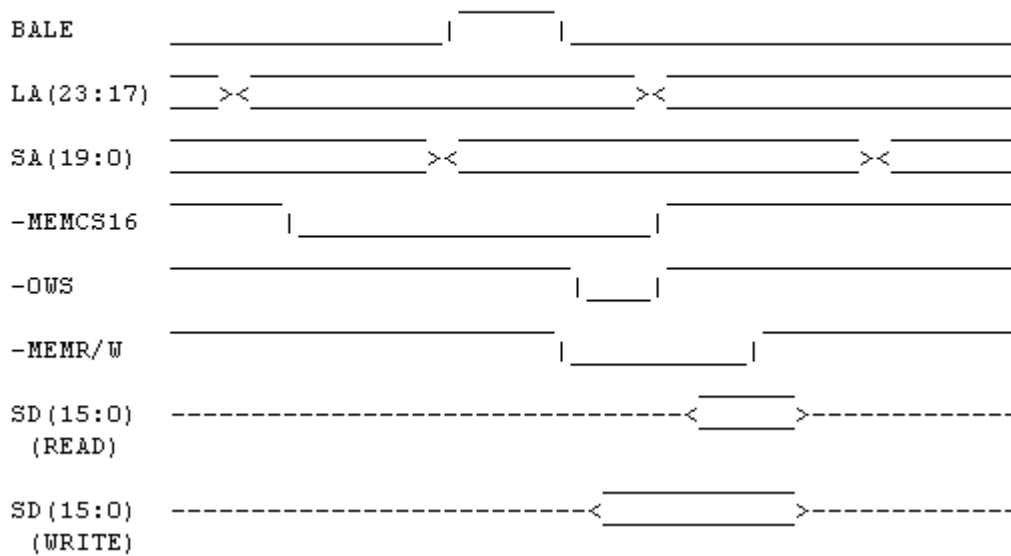
## 16-Bit I/O Bus Cycles



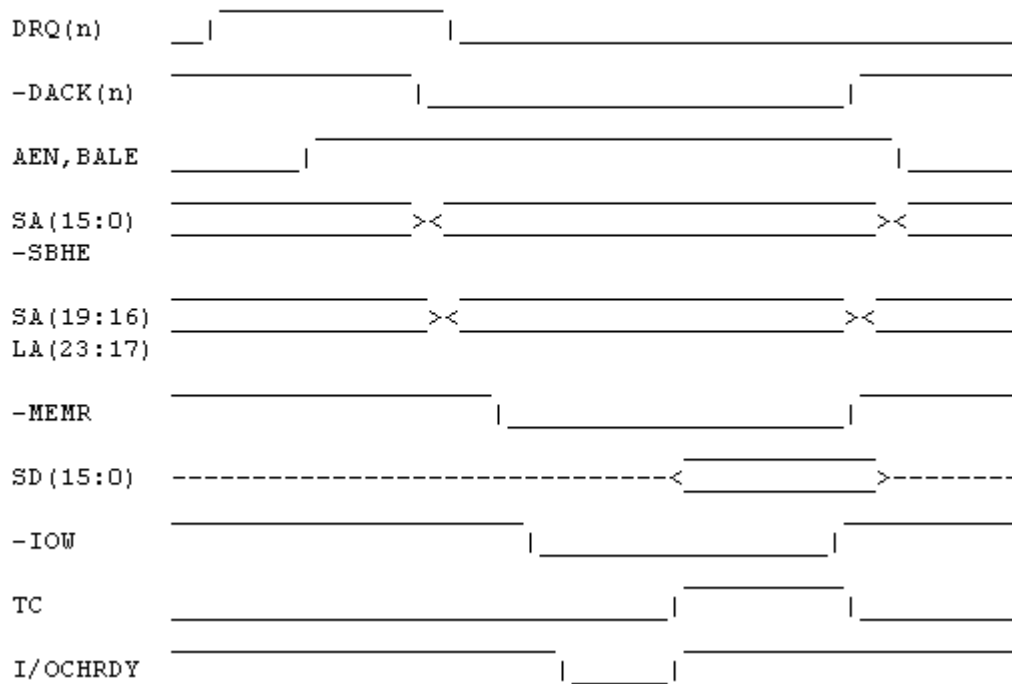
### 16-Bit Memory Bus Cycles (1 or more Wait States)



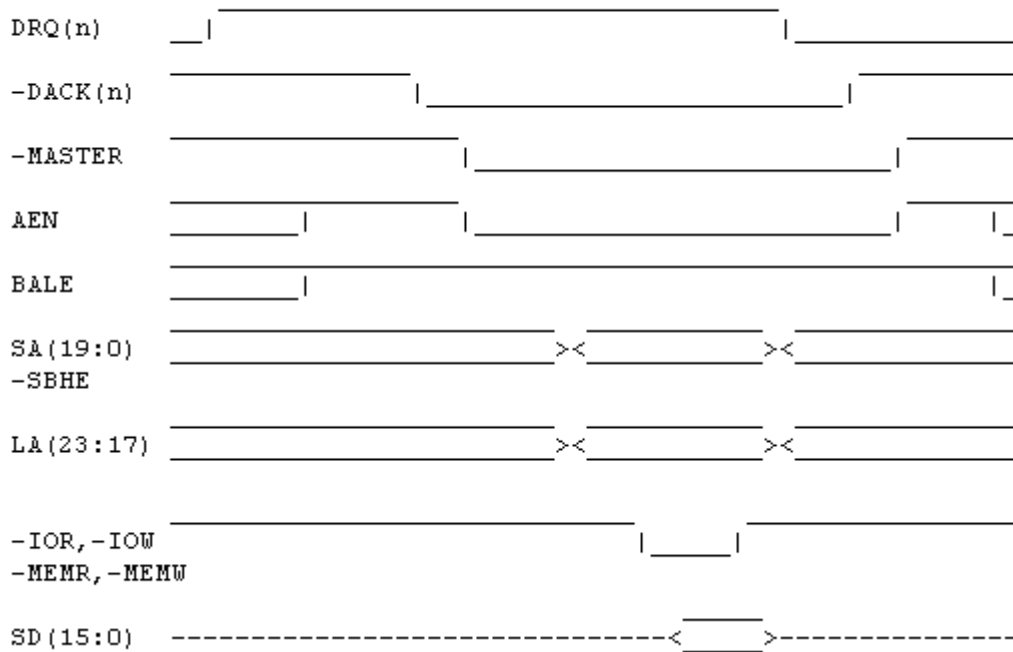
### 16-Bit Memory Bus Cycles (0 Wait State)



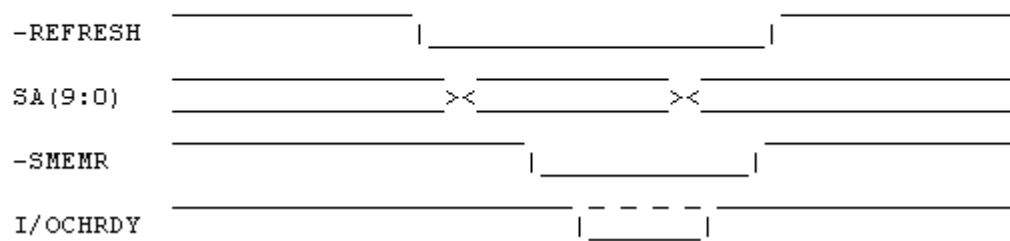


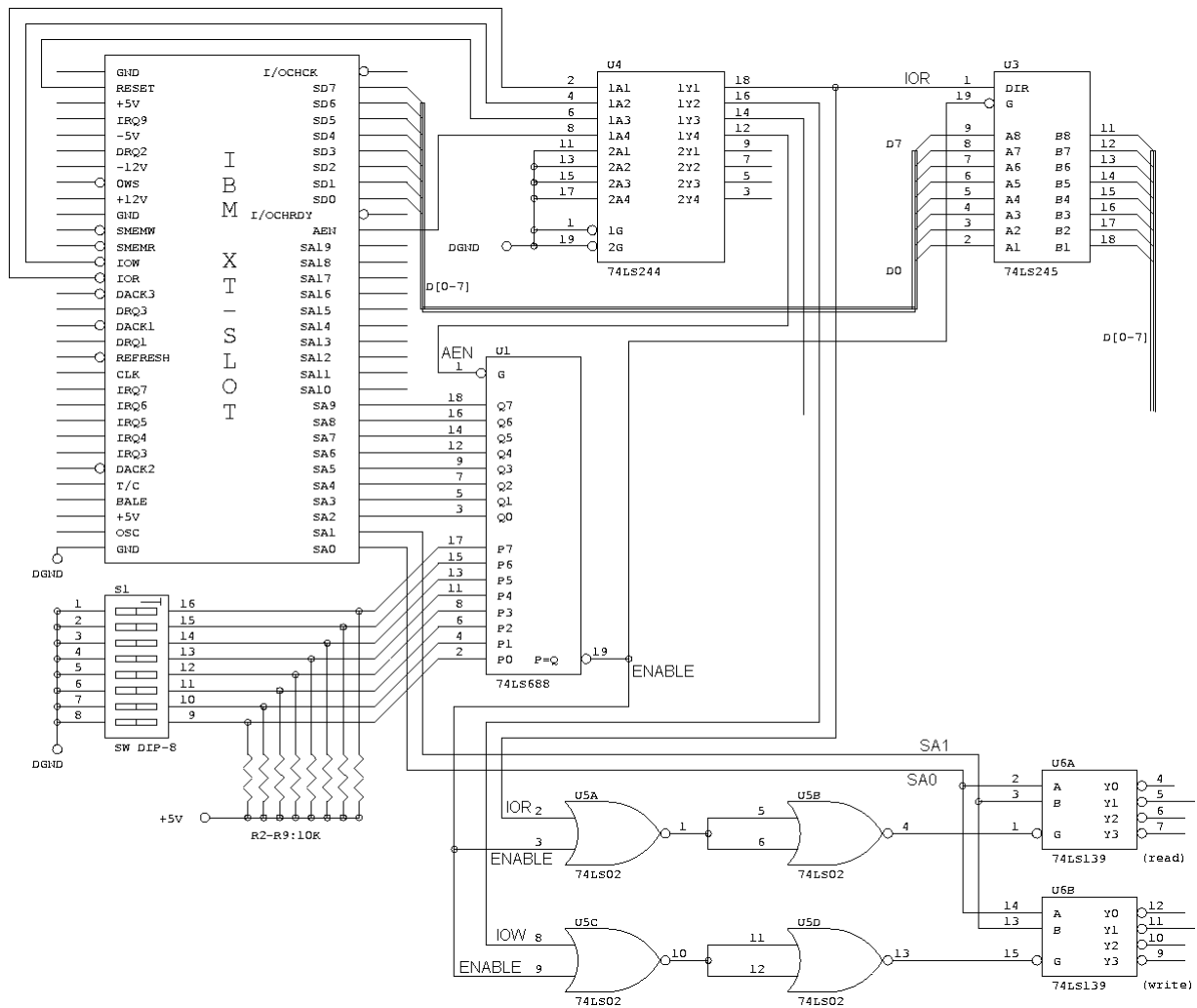
**DMA Read****DMA Write**

## Alternate Bus Master Cycles



## Memory Refresh Cycles





Rys. 4. Fragment schematu przykładowej aplikacji zrealizowanej na karcie ISA

W tym przykładzie linie SDO-SD7 są buforowane przez dwukierunkowy 3-stanowy bufor 74LS245. Kierunek pracy bufora zależy od sygnału podanego na pinie DIR. Podczas odczytu dane są przesyłane z B do A (IOR=DIR low), a podczas zapisu z A do B (IOR=RID high). Obydwa porty są w stanie wysokiej impedancji, kiedy nie odwołujemy się do karty.

Linie kontrolne IOR, IOW, RESET i AEN są buforowane przez jednokierunkowy 3-stanowy bufor 74LS244 na stałe odblokowany (linie 1G i 2G są w stanie niskim).

Linie adresowe SA2-SA9 nie są buforowane, ponieważ dochodzą one wyłącznie do wejść 8-bitowego komparatora 74LS688. Nie buforowane linie SA0 i SA1 są doprowadzone do demultipleksera 74LS139.

Adresy \$300-\$319 są rezerwowane dla kart prototypowych. Zatem przy prawidłowym ustawieniu DIP-8 (11,0000,00xx) adres bazowy wynosi \$300, a przestrzeń adresowa mieści się w zakresie \$300-\$303, ponieważ dysponujemy wolnymi liniami SA0 i SA1.

Sygnał AEN jest podłączony do pinu G układu komparatora, zatem karta jest nieaktywna w trakcie transferów DMA. Gdy zostanie wybrany adres \$300-\$303 to na wyjściu komparatora P=Q będzie stan niski. Linia ta jest podłączona do 2 bramek NOR układu 74LS02.

Tabela prawdy dla NOR

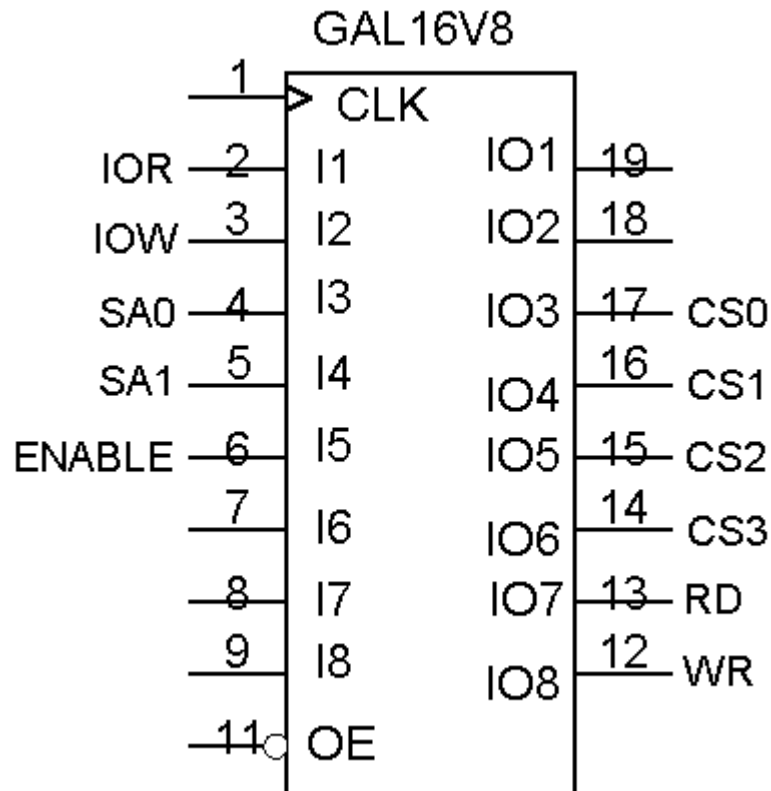
X	Y	X + Y
0	0	1
0	1	0

1	0	0
1	1	0

Czyli ze schematu widać, że jeśli na pinach 2 i 3 będzie stan niski, to na linii 4 też będzie stan niski. Czyli gdy układ będzie wybrany  $P=Q='0'$  i  $IOR='0'$  to zostanie wybrany układ U6A. Analogicznie, gdy  $P=Q='0'$  i  $IOW='0'$  to zostanie wybrany układ U6B. Do pinów 2 i 3 (A i B) układu U6A oraz do pinów 14 i 13 (A i B) układu U6B są podłączone linie SA0 i SA1. Zatem za pomocą wyjść Y0 do Y3 układu U6A możemy zaadresować 4 układy do odczytu (niski poziom danej linii Yx powinien spowodować, iż wybrany układ wystawi na magistralę danych D0-D7 dane). Za pomocą wyjść Y0 do Y3 układu U6B wybieramy układy (urządzenia) do których wprowadzamy dane z magistrali D0-D7.

Powyższe układy w technologii TTL można zastąpić jednym programowalnym układem SPLD, np. układem GAL16V8.

Przykładowe przyporządkowanie sygnałów do pinów układu GAL16V8 pokazano poniżej:



Rys. 5. Przykład wykorzystania układu GAL16V8 jako dekodera adresów i układu sterującego układami na karcie ISA

Poniżej przedstawiono kod dla tego układu napisany w języku CUPL:

```
Name          isa_gal.pld;
Partno        U1;
Revision      01;
Date          14/03/03;
Designer      Z. Czaja;
Company       KME PG;
Location      None;
```

---

```
Assembly      None;
Device        G16V8;

/*
    Deklaracje wejosc
*/
Pin 1 = SA2;
Pin 2 = IOR;
Pin 3 = IOW;
Pin 4 = SA0;
Pin 5 = SA1;
Pin 6 = ENABLE; /* jest to sygnał P=Q */

/*
    Deklaracje wyjsc
*/
Pin 12 = WR;
Pin 13 = RD;
Pin 14 = SC3;
Pin 15 = SC2;
Pin 16 = SC1;
Pin 17 = SC0;

/*
    Rownania logiczne
    Zalozenie: urzadzenie spod adresu:
                00 - wylacznie do odczytu
                01 - wylacznie do zapisu
                1x - zapis i odczyt
*/

SC0 = SA1 # SA0 # ENABLE # IOR; /* adres 00 */
SC1 = !SA1 # SA0 # ENABLE # IOW; /* adres 01 */
SC2 = SA1 # !SA0 # ENABLE;      /* adres 10 */
SC3 = !SA1 # !SA0 # ENABLE;     /* adres 11 */

RD = IOR;
WR = IOW;
```